

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 02 月 19 日  
Application Date

申請案號：092103462  
Application No.

申請人：統寶光電股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 3 月 23 日  
Issue Date

發文字號：09320275830  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	具輕摻雜汲極區域之薄膜電晶體構造及其製造方法
	英 文	TFT Structure with LDD Region and Manufacturing Process of the Same
二、 發明人 (共2人)	姓 名 (中文)	1. 石安 2. 孟昭宇
	姓 名 (英文)	1. An Shih 2. Chao-Yu Meng
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 彰化縣埔鹽鄉永樂村番金路98-1號 2. 台中市北屯區仁美里9巷78-3號
	住居所 (英 文)	1. No. 98-1, Fanjin Rd., Puyan Shiang, Changhua, Taiwan 516, R.O.C. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 統寶光電股份有限公司
	名稱或 姓 名 (英文)	1. Toppoly Optoelectronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區苗栗縣竹南鎮科中路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Ke Jung Rd., Science-Based Industrial Park, Chu-Nan 350, Miao-Li County, Taiwan, R.O.C.
	代表人 (中文)	1. 陳瑞聰
	代表人 (英文)	1. Jui-Tsung Chen



四、中文發明摘要 (發明名稱：具輕摻雜汲極區域之薄膜電晶體構造及其製造方法)

本案係為一種薄膜電晶體構造及其製造方法，應用於一平面顯示器上，而該製造方法所完成之構造包含：一第一薄膜電晶體，設置於該平面顯示器之一驅動電路區域，該第一薄膜電晶體之閘極導體構造之長度等於或大於其輕摻雜汲極區域之長度加上通道區域之長度；以及一第二薄膜電晶體，設置於該平面顯示器之一主動矩陣區域，該第二薄膜電晶體之閘極導體構造之長度約等於其通道區域之長度。

伍、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明：

輕摻雜汲極構造30

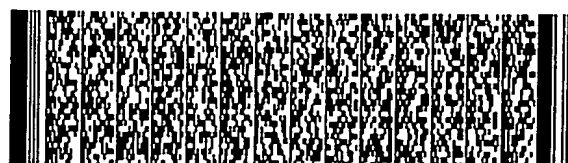
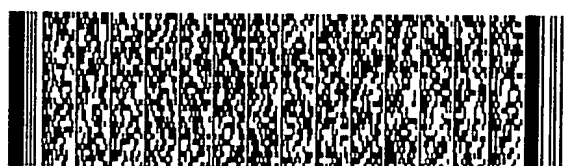
閘極金屬構造31

輕摻雜汲極構造32

閘極金屬構造33

六、英文發明摘要 (發明名稱：TFT Structure with LDD Region and Manufacturing Process of the Same)

A TFT (thin film transistor) structure with an LDD (lightly doped drain) region and a manufacturing process of producing a TFT structure with an LDD region are disclosed. The structure and method are adapted to be used in a planar display. The structure produced by the manufacturing process includes a first TFT disposed in the driving-circuit region of the



四、中文發明摘要 (發明名稱：具輕摻雜汲極區域之薄膜電晶體構造及其製造方法)

六、英文發明摘要 (發明名稱：TFT Structure with LDD Region and Manufacturing Process of the Same)

planar display, and having a gate conductor with a length equal to or greater than the total length of the LDD region and the channel region; and a second TFT disposed in the active matrix region of the planar display, and having a gate conductor with a length approximately equal to that of the channel regio.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本案係為一種薄膜電晶體構造及其製造方法，尤指應用於一平面顯示器上具輕摻雜汲極區域之薄膜電晶體構造及其製造方法。

### 【先前技術】

請參見第一圖(a)(b)，其係一薄膜電晶體液晶顯示器之功能方塊示意圖，其主要係由兩個部份所組成，第一部份係為一主動矩陣10，而第二部份則為一驅動電路11。而在傳統之非晶矽製程中，主動矩陣10係獨立完成於一玻璃基板1之上，而驅動電路11必須另外以一個或多個積體電路之形式來完成後，再透過外部線路12來與主動矩陣10進行連接(如第一圖(a)所示)。

但是在低溫多晶矽技術被應用於薄膜電晶體液晶顯示器之製造過程之後，上述之主動矩陣10與驅動電路11便可以同一製程同時完成於玻璃基板1之上(如第一圖(b)所示)，進而達成成本降低之功效增進。

請參見第二圖(a)(b)(c)(d)(e)(f)，其係以低溫多晶矽製程來完成分別處於主動矩陣與驅動電路中之各式薄膜電晶體之步驟示意圖。第二圖(a)係表示出於玻璃基板2上以雷射回火方式，在低溫環境下形成多晶矽層21之構造，而第二圖(b)則表示出形成N通道之離子佈植(例如硼離



## 五、發明說明 (2)

子， $B^+$ )，其中P通道薄膜電晶體區域係被光阻所形成之罩幕22所保護。隨後再於完成以光阻所形成閘極罩幕23之保護下，進行源/汲極區域之離子佈植(例如氫化磷離子， $PH_x^+$ )，進而形成如第二圖(c)所示之N通道薄膜電晶體之源/汲極區域24。而在同是光阻所形成之罩幕22與閘極罩幕23被去除後，吾人再定義出閘極絕緣層25與閘極金屬構造26(例如以鉬來完成)，然後再以此閘極金屬構造26為罩幕進行低濃度之離子佈植(例如磷離子， $P^+$ )，藉以完成N通道區域中之輕摻雜汲極構造241，而由第二圖(d)可看出，閘極金屬構造26之長度係小於原有之閘極罩幕23，利用此一差距便可定義出該輕摻雜汲極構造241。而第二圖(e)則表示出用以形成P通道區域中源/汲極之離子佈植(例如氫化硼離子， $B_2H_x^+$ )，其中N通道薄膜電晶體區域係被光阻所形成之罩幕27所保護。至於第二圖(f)則表示出已完成保護層28與形成接觸金屬導線插塞29之面板結構。

由於N通道薄膜電晶體會因為縮短通道而導致熱電子效應的產生，因此吾人必須增加光罩數目與製程步驟來增設輕摻雜汲極構造241，進而抑制熱電子效應所產生之影響，用以增加元件之穩定度與減少漏電流。但是，為了儘量節省光罩數目與製程步驟，通常輕摻雜汲極構造241皆以自行對準方式來完成，故其所完成的輕摻雜汲極構造241與上方之閘極金屬構造26將不具有重疊區域(如第二圖(d)所示)。但是，根據實作的結果顯示，當輕摻雜汲極構造241與上方之閘極金屬構造26間具有一重疊區域時，元



### 五、發明說明 (3)

件穩定度的改善效果將是最好，但是如此也將會附帶產生一個寄生電容，而此寄生電容會使得該像素於關閉時，對像素單元中之儲存電容與液晶電容產生一偏移電壓，使得原先的電壓準位漂移。而如何在上述狀況中找出一較佳解決方案，便是發展本案之主要目的。

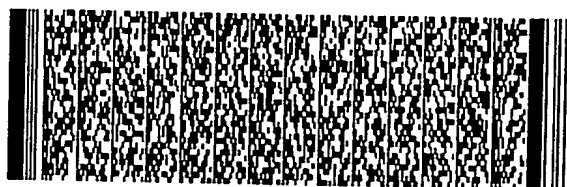
#### 【發明內容】

本案係為一種薄膜電晶體構造，應用於一平面顯示器上，其包含：一第一薄膜電晶體，設置於該平面顯示器之一驅動電路區域，該第一薄膜電晶體之閘極導體構造之長度等於或大於其輕摻雜汲極區域之長度加上通道區域之長度；以及一第二薄膜電晶體，設置於該平面顯示器之一主動矩陣區域，該第二薄膜電晶體之閘極導體構造之長度約等於其通道區域之長度。

根據上述構想，本案所述之薄膜電晶體構造，其所應用其上之該平面顯示器係為一液晶顯示器。

根據上述構想，本案所述之薄膜電晶體構造，其該第一薄膜電晶體與該第二薄膜電晶體係完成於同一基板上。

本案之另一方面係為一種薄膜電晶體製造方法，應用於一平面顯示器，其包含下列步驟：提供一基板；於該基板上方形成一多晶矽層並定義出一第一多晶矽構造與一第二多晶矽構造；於該等多晶矽構造中形成N通道區域後，於該等多晶矽構造上各覆蓋一第一單幕結構，並對露出之部份N通道區域進行一輕摻雜離子佈植；除去該第一多晶



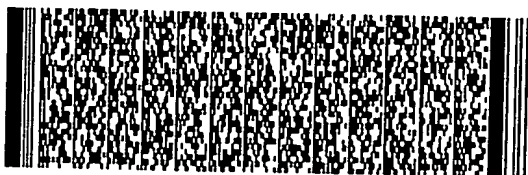


#### 五、發明說明 (4)

矽構造上之該第一單幕結構後再形成長度較該第一單幕結構為大之一第二單幕結構，並對露出之部份N通道區域再進行一重摻雜離子佈植，進而於該第一多晶矽構造中形成至少一輕摻雜汲極區域與一重摻雜源/汲極區域，並於該第二多晶矽構造中形成至少一重摻雜源/汲極區域；以及除去該等單幕結構後形成一閘極絕緣層與一閘極導體層，並分別將該第一多晶矽構造與該第二多晶矽構造上方之該閘極導體層定義出一第一閘極導體構造與一第二閘極導體構造，而該第一閘極導體構造之長度等於或大於相對應之該輕摻雜汲極區域之長度加上該通道區域之長度，而該第二閘極導體構造之長度約等於相對應之該通道區域之長度。

根據上述構想，本案所述之薄膜電晶體製造方法，其中更包含下列步驟：於定義該第一多晶矽構造與該第二多晶矽構造之同時定義出一第三多晶矽構造；於該第一、第二多晶矽構造中形成N通道區域之前，在該第三多晶矽構造覆蓋一第三單幕結構；在分別將該第一多晶矽構造與該第二多晶矽構造上方之該閘極導體層定義出一第一閘極導體構造與一第二閘極導體構造之同時，於該第三多晶矽構造上方之該閘極導體層定義出一第三閘極導體構造；以及於該第一、第二多晶矽構造之上方覆蓋一第四單幕結構後，利用該第三閘極導體構造為單幕來對該第三多晶矽構造進行重摻雜離子佈植，進而形成一P通道薄膜電晶體。

根據上述構想，本案所述之薄膜電晶體製造方法，其



#### 五、發明說明 (5)

中該等單幕結構之材質為光阻。

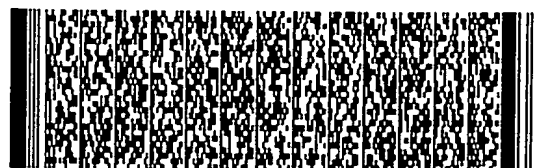
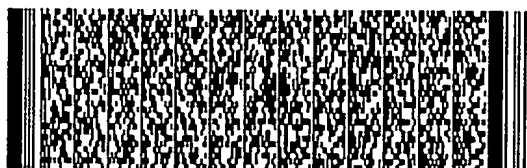
根據上述構想，本案所述之薄膜電晶體製造方法，其中該第一多晶矽構造與該第二多晶矽構造分屬該平面顯示器中之一驅動電路區域與一主動矩陣區域。

本案之另一方面係為一種薄膜電晶體製造方法，應用於一平面顯示器，其包含下列步驟：提供一基板；於該基板上方形形成一多晶矽層；於該多晶矽層中形成N通道區域後，於該多晶矽層上覆蓋一單幕結構，並對露出之部份N通道區域進行一輕摻雜離子佈植，進而形成至少一輕摻雜汲極區域；除去該多晶矽層上之該單幕結構後形成一閘極絕緣層與一閘極導體層，並將該閘極導體層定義出一閘極導體構造，而該閘極導體構造與部份之該輕摻雜汲極區域產生重疊；以及利用該閘極導體構造為單幕而對露出之部份該輕摻雜汲極區域再進行一重摻雜離子佈植，進而於該多晶矽層中形成至少一重摻雜源/汲極區域，而該閘極導體構造之長度約等於剩餘之該輕摻雜汲極區域之長度加上通道區域之長度。

根據上述構想，本案所述之薄膜電晶體製造方法，其中該等單幕結構之材質為光阻。

根據上述構想，本案所述之薄膜電晶體製造方法，其所完成之該薄膜電晶體係屬該平面顯示器中之一驅動電路區域。

簡單圖式說明



## 五、發明說明 (6)

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

第一圖(a)(b)：其係一薄膜電晶體液晶顯示器之功能方塊示意圖。

第二圖(a)(b)(c)(d)(e)(f)：其係習用手段中以低溫多晶矽製程來完成分別處於主動矩陣與驅動電路中之各式薄膜電晶體之步驟示意圖。

第三圖：其係本案所發展粗出之薄膜電晶體液晶顯示器構造示意圖。

第四圖(a)(b)(c)(d)(e)(f)(g)：其係以低溫多晶矽製程來完成分處於主動矩陣與驅動電路中之兩種不同結構之薄膜電晶體之本案第一較佳實施例步驟示意圖。

第五圖(a)(b)(c)(d)(e)(f)：其係本案第二較佳實施例步驟示意圖。

本案圖式中所包含之各元件列示如下：

玻璃基板1	主動矩陣10
驅動電路11	外部線路12
玻璃基板2	多晶矽層21
罩幕22	閘極罩幕23
源/汲極區域24	輕摻雜汲極構造241
閘極絕緣層25	閘極金屬構造26



## 五、發明說明 (7)

罩幕27	保護層28
接觸金屬導線插塞29	輕摻雜汲極構造30
閘極金屬構造31	輕摻雜汲極構造32
閘極金屬構造33	玻璃基板4
多晶矽層41	罩幕42
閘極罩幕43	光阻閘極罩幕431
源/汲極區域44	輕摻雜汲極構造441
輕摻雜汲極構造442	閘極絕緣層45
閘極金屬構造46	罩幕47
保護層48	接觸金屬導線插塞49
玻璃基板5	多晶矽層51
罩幕52	閘極罩幕53
閘極絕緣層54	閘極金屬構造551
閘極金屬構造552	源/汲極區域56
罩幕57	閘極金屬構造571
罩幕58	源/汲極區域59
輕摻雜汲極構造591	保護層60
接觸金屬導線插塞61	

### 【發明實施方式】

由於以低溫多晶矽技術來製造薄膜電晶體液晶顯示器之優點在於同時於一基板上完成主動矩陣與驅動電路。而由上述說明可知，輕摻雜汲極構造與上方之閘極金屬構造間之重疊區域對於元件特性有著正反兩面之影響，一方面



#### 五、發明說明 (8)

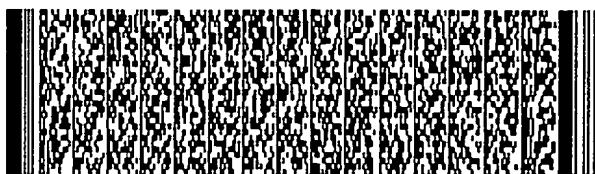
可改善元件穩定度，但另一方面卻因附帶產生漏電流與寄生電容而使資料電壓準位產生漂移。然而主動矩陣與驅動電路對於其內部薄膜電晶體之性能有著不同的要求，其中主動矩陣中之薄膜電晶體對於電壓準位之要求較高，而驅動電路中之薄膜電晶體則對於元件穩定性之要求較高。因此，為能同時符合上述兩種電路對於元件特性不同之要求，本案便發展出如第三圖所示之薄膜電晶體液晶顯示器構造示意圖，而從圖式中可清楚看出，製造在驅動電路區域中之N通道薄膜電晶體之輕摻雜汲極構造30與上方之閘極金屬構造31間將具有重疊之區域，如此一來，將可有效改善驅動電路區域中薄膜電晶體之元件穩定度，而衍生之寄生電容對於驅動電路並無太大之影響。而在主動矩陣區域中，N通道薄膜電晶體之輕摻雜汲極構造32與上方之閘極金屬構造33間將不具有重疊之區域，如此一來，將可有效抑制漏電流寄生電容對於對於電壓準位偏移之影響。

再請參見第四圖(a)(b)(c)(d)(e)(f)(g)，其係以低溫多晶矽製程來完成分處於主動矩陣與驅動電路中之兩種不同結構之薄膜電晶體之本案第一較佳實施例步驟示意圖。第四圖(a)係表示出於玻璃基板4上以雷射回火方式，在低溫環境下形成多晶矽層41之構造，而第四圖(b)則表示出形成N通道之離子佈植(例如硼離子， $B^+$ )，其中P通道薄膜電晶體區域係被光阻所形成之罩幕42所保護。隨後再於完成以光阻所形成閘極罩幕43之保護下，進行如第四圖(c)所示之低濃度離子佈植(例如氫化磷離子， $PH_x^+$ )。而



#### 五、發明說明 (9)

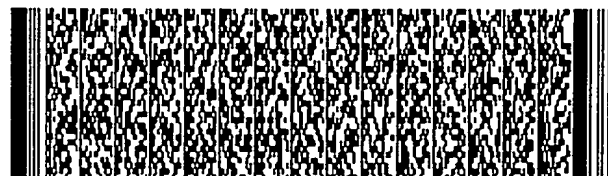
第四圖(d)所示則為於驅動電路中之N通道薄膜電晶體處重新形成一尺寸較大之光阻閘極罩幕431後，再進行一源/汲極區域之離子佈植(例如氫化磷離子， $\text{PHx}^+$ )，進而形成如圖所示之N通道薄膜電晶體之源/汲極區域44以及驅動電路中之N通道薄膜電晶體處之輕摻雜汲極構造441。而在同是光阻所形成之罩幕42與閘極罩幕431被去除後，吾人再定義出閘極絕緣層45與閘極金屬構造46例如以鉬來完成)，然後再以此閘極金屬構造46為罩幕進行低濃度之離子佈植(例如氫化磷離子， $\text{PHx}^+$ )，藉以完成主動矩陣中N通道薄膜電晶體之輕摻雜汲極構造442，而由第四圖(e)可看出，主動矩陣中之閘極金屬構造46之長度係小於原有之閘極罩幕43，利用此一差距便可定義出主動矩陣中之該輕摻雜汲極構造442。而第四圖(f)則表示出用以形成P通道區域中源/汲極之離子佈植(例如氫化硼離子， $\text{B}_2\text{Hx}^+$ )，其中N通道薄膜電晶體區域係被光阻所形成之罩幕47所保護。至於第四圖(g)則表示出已完成保護層48與形成接觸金屬導線插塞49之面板結構。而從完成後之圖示結構中可清楚看出，製造在驅動電路區域中之N通道薄膜電晶體之輕摻雜汲極構造與上方之閘極金屬構造間將具有重疊之區域，如此一來，將可有效改善驅動電路區域中薄膜電晶體之元件穩定度，而衍生之寄生電容對於驅動電路並無太大之影響。而在主動矩陣區域中，N通道薄膜電晶體之輕摻雜汲極構造與上方之閘極金屬構造間將不具有重疊之區域，如此一來，將可有效抑制漏電流寄生電容對於對於電壓準位



## 五、發明說明 (10)

偏移之影響。

另外，根據上述輕摻雜汲極構造與其上方閘極金屬構造具有重疊區域之N通道薄膜電晶體製造步驟之精神，本案亦單獨針對一互補式金氧半薄膜電晶體而發展出下列製程。請參見第五圖(a)(b)(c)(d)(e)(f)，其係本案第二較佳實施例步驟示意圖，第五圖(a)係表示出於玻璃基板5上以雷射回火方式，在低溫環境下形成多晶矽層51之構造，而第五圖(b)則表示出形成N通道之離子佈植(例如硼離子， $B^+$ )，其中P通道薄膜電晶體區域係被光阻所形成之罩幕52所保護。隨後再於完成以光阻所形成閘極罩幕53之保護下，進行如第五圖(c)所示之低濃度離子佈植(例如氫化磷離子， $PH_x^+$ )。而第五圖(d)所示係為形成一閘極絕緣層54後，再分別於N通道薄膜電晶體與P通道薄膜電晶體處形成一尺寸較大之閘極金屬構造551(例如可用鉬來完成)以及一正常尺寸之閘極金屬構造552(例如可用鉬來完成)，然後再進行P通道薄膜電晶體之源/汲極區域之離子佈植(例如氫化硼離子， $B_2H_x^+$ )，進而形成如圖所示之P通道薄膜電晶體之源/汲極區域56。而利用光阻所形成之罩幕57，吾人定義出N通道薄膜電晶體中正常尺寸之閘極金屬構造571，而P通道薄膜電晶體區域係被光阻所形成之罩幕58所保護，然後再以光阻所形成之罩幕57、58進行高濃度之離子佈植(例如氫化磷離子， $PH_x^+$ )，藉以完成如第五圖(e)所示之N通道薄膜電晶體之源/汲極區域59及輕摻雜汲極構造591，而由圖中可看出，其閘極金屬構造571之長度



#### 五、發明說明 (11)

係大於原有之閘極罩幕53，利用此一差距便可定義出主動矩陣中之該輕摻雜汲極構造591。而第五圖(f)則表示出已完成保護層60與形成接觸金屬導線插塞61之面板結構。而從上述說明可清楚看出，其係以不增加製程光罩數目之方法來完成輕摻雜汲極構造與其上方閘極金屬構造具有重疊區域之N通道薄膜電晶體，如此一來，將可有效改善所完成薄膜電晶體之元件穩定度。

綜上所述，然本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。





圖式簡單說明

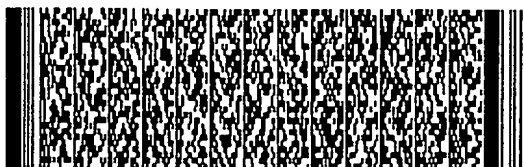
第一圖(a)(b)：其係一薄膜電晶體液晶顯示器之功能方塊示意圖。

第二圖(a)(b)(c)(d)(e)(f)：其係習用手段中以低溫多晶矽製程來完成分別處於主動矩陣與驅動電路中之各式薄膜電晶體之步驟示意圖。

第三圖：其係本案所發展粗出之薄膜電晶體液晶顯示器構造示意圖。

第四圖(a)(b)(c)(d)(e)(f)(g)：其係以低溫多晶矽製程來完成分處於主動矩陣與驅動電路中之兩種不同結構之薄膜電晶體之本案第一較佳實施例步驟示意圖。

第五圖(a)(b)(c)(d)(e)(f)：其係本案第二較佳實施例步驟示意圖。



## 六、申請專利範圍

1. 一種薄膜電晶體構造，應用於一平面顯示器上，其包含：

一第一薄膜電晶體，設置於該平面顯示器之一驅動電路區域，該第一薄膜電晶體之閘極導體構造之長度等於或大於其輕摻雜汲極區域之長度加上通道區域之長度；以及

一第二薄膜電晶體，設置於該平面顯示器之一主動矩陣區域，該第二薄膜電晶體之閘極導體構造之長度約等於其通道區域之長度。

2. 如申請專利範圍第1項所述之薄膜電晶體構造，其所應用其上之該平面顯示器係為一液晶顯示器。

3. 如申請專利範圍第1項所述之薄膜電晶體構造，其該第一薄膜電晶體與該第二薄膜電晶體係完成於同一基板上。

4. 一種薄膜電晶體製造方法，應用於一平面顯示器，其包含下列步驟：

提供一基板；

於該基板上方形成一多晶矽層並定義出一第一多晶矽構造與一第二多晶矽構造；

於該等多晶矽構造中形成N通道區域後，於該等多晶矽構造上各覆蓋一第一罩幕結構，並對露出之部份N通道區域進行一輕摻雜離子佈植；

除去該第一多晶矽構造上之該第一罩幕結構後再形成長度較該第一罩幕結構為大之一第二罩幕結構，並對露出之部份N通道區域再進行一重摻雜離子佈植，進而於該第一多晶矽構造中形成至少一輕摻雜汲極區域與一重摻雜



#### 六、申請專利範圍

源/汲極區域，並於該第二多晶矽構造中形成至少一重摻雜源/汲極區域；以及

除去該等罩幕結構後形成一閘極絕緣層與一閘極導體層，並分別將該第一多晶矽構造與該第二多晶矽構造上方之該閘極導體層定義出一第一閘極導體構造與一第二閘極導體構造，而該第一閘極導體構造之長度等於或大於相對應之該輕摻雜汲極區域之長度加上該通道區域之長度，而該第二閘極導體構造之長度約等於相對應之該通道區域之長度。

5. 如申請專利範圍第4項所述之薄膜電晶體製造方法，其中更包含下列步驟：

於定義該第一多晶矽構造與該第二多晶矽構造之同時定義出一第三多晶矽構造；

於該第一、第二多晶矽構造中形成N通道區域之前，在該第三多晶矽構造覆蓋一第三罩幕結構；

在分別將該第一多晶矽構造與該第二多晶矽構造上方之該閘極導體層定義出一第一閘極導體構造與一第二閘極導體構造之同時，於該第三多晶矽構造上方之該閘極導體層定義出一第三閘極導體構造；以及

於該第一、第二多晶矽構造之上方覆蓋一第四罩幕結構後，利用該第三閘極導體構造為罩幕來對該第三多晶矽構造進行重摻雜離子佈植，進而形成一P通道薄膜電晶體。

6. 如申請專利範圍第4項所述之薄膜電晶體製造方法，其



#### 六、申請專利範圍

中該等罩幕結構之材質為光阻。

7. 如申請專利範圍第4項所述之薄膜電晶體製造方法，其中該第一多晶矽構造與該第二多晶矽構造分屬該平面顯示器中之一驅動電路區域與一主動矩陣區域。

8. 一種薄膜電晶體製造方法，應用於一平面顯示器，其包含下列步驟：

提供一基板；

於該基板上方形形成一多晶矽層；

於該多晶矽層中形成N通道區域後，於該多晶矽層上覆蓋一罩幕結構，並對露出之部份N通道區域進行一輕摻雜離子佈植，進而形成至少一輕摻雜汲極區域；

除去該多晶矽層上之該罩幕結構後形成一閘極絕緣層與一閘極導體層，並將該閘極導體層定義出一閘極導體構造，而該閘極導體構造與部份之該輕摻雜汲極區域產生重疊；以及

利用該閘極導體構造為罩幕而對露出之部份該輕摻雜汲極區域再進行一重摻雜離子佈植，進而於該多晶矽層中形成至少一重摻雜源/汲極區域，而該閘極導體構造之長度約等於剩餘之該輕摻雜汲極區域之長度加上通道區域之長度。

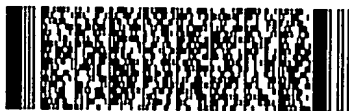
9. 如申請專利範圍第8項所述之薄膜電晶體製造方法，其中該等罩幕結構之材質為光阻。


10. 如申請專利範圍第8項所述之薄膜電晶體製造方法，其所完成之該薄膜電晶體係屬該平面顯示器中之一驅動電路



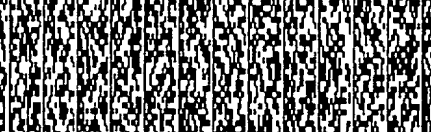
六、申請專利範圍

區域。





**Abstract**



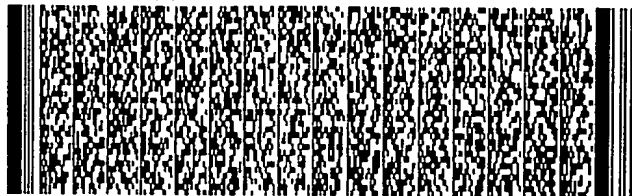
100

100  
 101  
 102  
 103  
 104  
 105  
 106  
 107  
 108  
 109  
 110  
 111  
 112  
 113  
 114  
 115  
 116  
 117  
 118  
 119  
 120  
 121  
 122  
 123  
 124  
 125  
 126  
 127  
 128  
 129  
 130  
 131  
 132  
 133  
 134  
 135  
 136  
 137  
 138  
 139  
 140  
 141  
 142  
 143  
 144  
 145  
 146  
 147  
 148  
 149  
 150  
 151  
 152  
 153  
 154  
 155  
 156  
 157  
 158  
 159  
 160  
 161  
 162  
 163  
 164  
 165  
 166  
 167  
 168  
 169  
 170  
 171  
 172  
 173  
 174  
 175  
 176  
 177  
 178  
 179  
 180  
 181  
 182  
 183  
 184  
 185  
 186  
 187  
 188  
 189  
 190  
 191  
 192  
 193  
 194  
 195  
 196  
 197  
 198  
 199  
 200  
 201  
 202  
 203  
 204  
 205  
 206  
 207  
 208  
 209  
 210  
 211  
 212  
 213  
 214  
 215  
 216  
 217  
 218  
 219  
 220  
 221  
 222  
 223  
 224  
 225  
 226  
 227  
 228  
 229  
 230  
 231  
 232  
 233  
 234  
 235  
 236  
 237  
 238  
 239  
 240  
 241  
 242  
 243  
 244  
 245  
 246  
 247  
 248  
 249  
 250  
 251  
 252  
 253  
 254  
 255  
 256  
 257  
 258  
 259  
 260  
 261  
 262  
 263  
 264  
 265  
 266  
 267  
 268  
 269  
 270  
 271  
 272  
 273  
 274  
 275  
 276  
 277  
 278  
 279  
 280  
 281  
 282  
 283  
 284  
 285  
 286  
 287  
 288  
 289  
 290  
 291  
 292  
 293  
 294  
 295  
 296  
 297  
 298  
 299  
 300  
 301  
 302  
 303  
 304  
 305  
 306  
 307  
 308  
 309  
 310  
 311  
 312  
 313  
 314  
 315  
 316  
 317  
 318  
 319  
 320  
 321  
 322  
 323  
 324  
 325  
 326  
 327  
 328  
 329  
 330  
 331  
 332  
 333  
 334  
 335  
 336  
 337  
 338  
 339  
 340  
 341  
 342  
 343  
 344  
 345  
 346  
 347  
 348  
 349  
 350  
 351  
 352  
 353  
 354  
 355  
 356  
 357  
 358  
 359  
 360  
 361  
 362  
 363  
 364  
 365  
 366  
 367  
 368  
 369  
 370  
 371  
 372  
 373  
 374  
 375  
 376  
 377  
 378  
 379  
 380  
 381  
 382  
 383  
 384  
 385  
 386  
 387  
 388  
 389  
 390  
 391  
 392  
 393  
 394  
 395  
 396  
 397  
 398  
 399  
 400  
 401  
 402  
 403  
 404  
 405  
 406  
 407  
 408  
 409  
 410  
 411  
 412  
 413  
 414  
 415  
 416  
 417  
 418  
 419  
 420  
 421  
 422  
 423  
 424  
 425  
 426  
 427  
 428  
 429  
 430  
 431  
 432  
 433  
 434  
 435  
 436  
 437  
 438  
 439  
 440  
 441  
 442  
 443  
 444  
 445  
 446  
 447  
 448  
 449  
 450  
 451  
 452  
 453  
 454  
 455  
 456  
 457  
 458  
 459  
 460  
 461  
 462  
 463  
 464  
 465  
 466  
 467  
 468  
 469  
 470  
 471  
 472  
 473  
 474  
 475  
 476  
 477  
 478  
 479  
 480  
 481  
 482  
 483  
 484  
 485  
 486  
 487  
 488  
 489  
 490  
 491  
 492  
 493  
 494  
 495  
 496  
 497  
 498  
 499  
 500  
 501  
 502  
 503  
 504  
 505  
 506  
 507  
 508  
 509  
 510  
 511  
 512  
 513  
 514  
 515  
 516  
 517  
 518  
 519  
 520  
 521  
 522  
 523  
 524  
 525  
 526  
 527  
 528  
 529  
 530  
 531  
 532  
 533  
 534  
 535  
 536  
 537  
 538  
 539  
 540  
 541  
 542  
 543  
 544  
 545  
 546  
 547  
 548  
 549  
 550  
 551  
 552  
 553  
 554  
 555  
 556  
 557  
 558  
 559  
 560  
 561  
 562  
 563  
 564  
 565  
 566  
 567  
 568  
 569  
 570  
 571  
 572  
 573  
 574  
 575  
 576  
 577  
 578  
 579  
 580  
 581  
 582  
 583  
 584  
 585  
 586  
 587  
 588  
 589  
 590  
 591  
 592  
 593  
 594  
 595  
 596  
 597  
 598  
 599  
 600  
 601  
 602  
 603  
 604  
 605  
 606  
 607  
 608  
 609  
 610  
 611

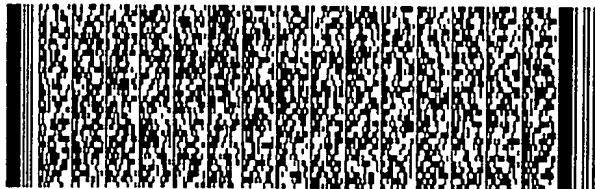
100

100

第 10/20 頁



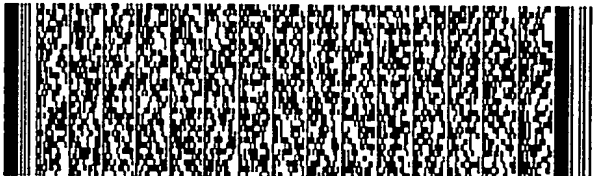
第 12/20 頁



第 13/20 頁



第 14/20 頁



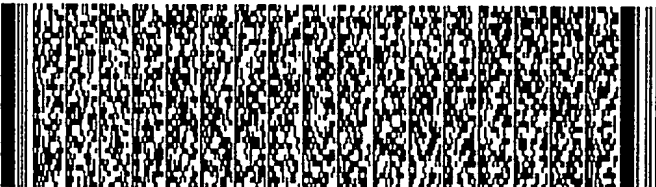
第 15/20 頁



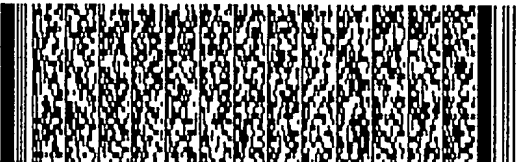
第 17/20 頁



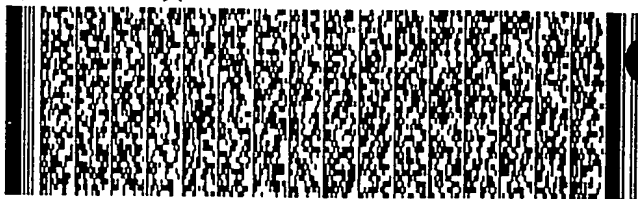
第 18/20 頁



第 19/20 頁



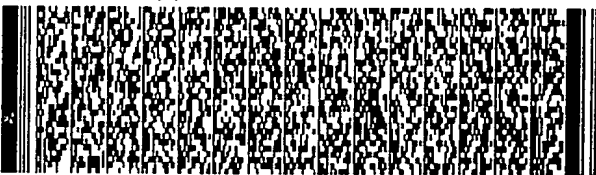
第 11/20 頁



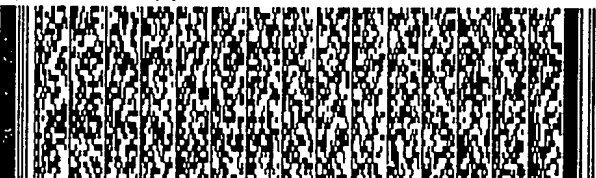
第 12/20 頁



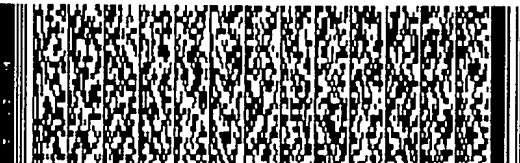
第 13/20 頁



第 14/20 頁



第 16/20 頁



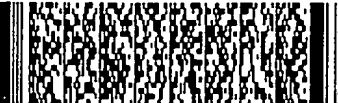
第 17/20 頁

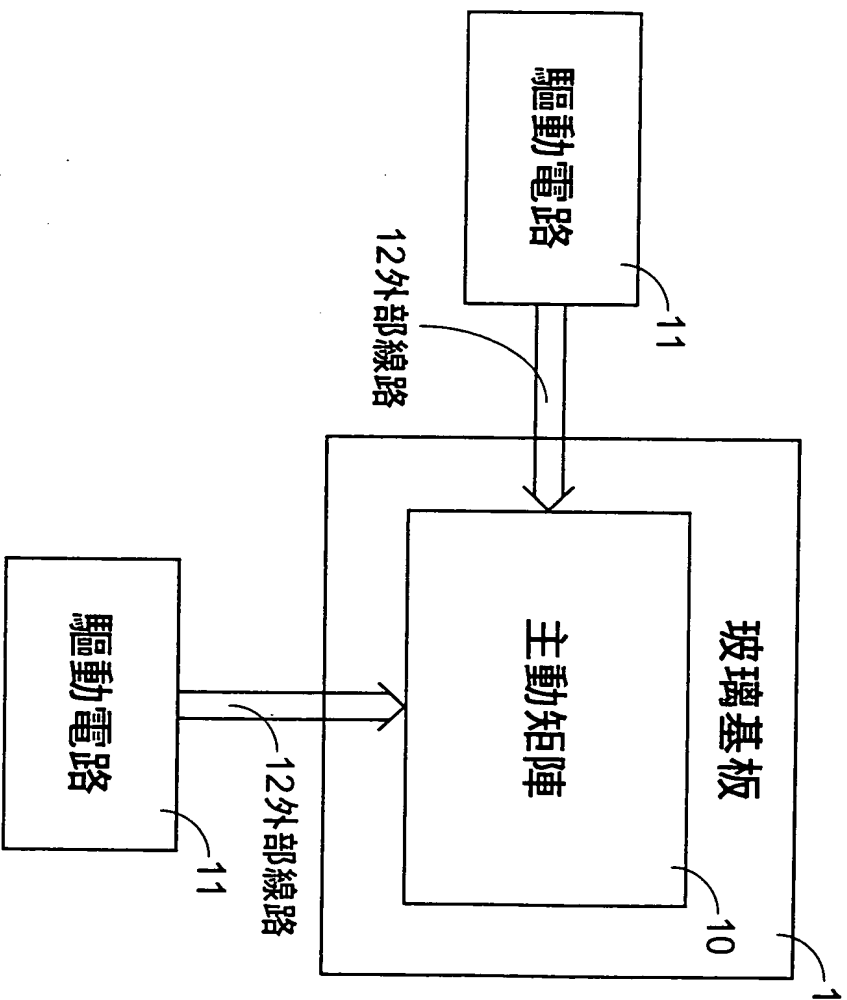


第 19/20 頁



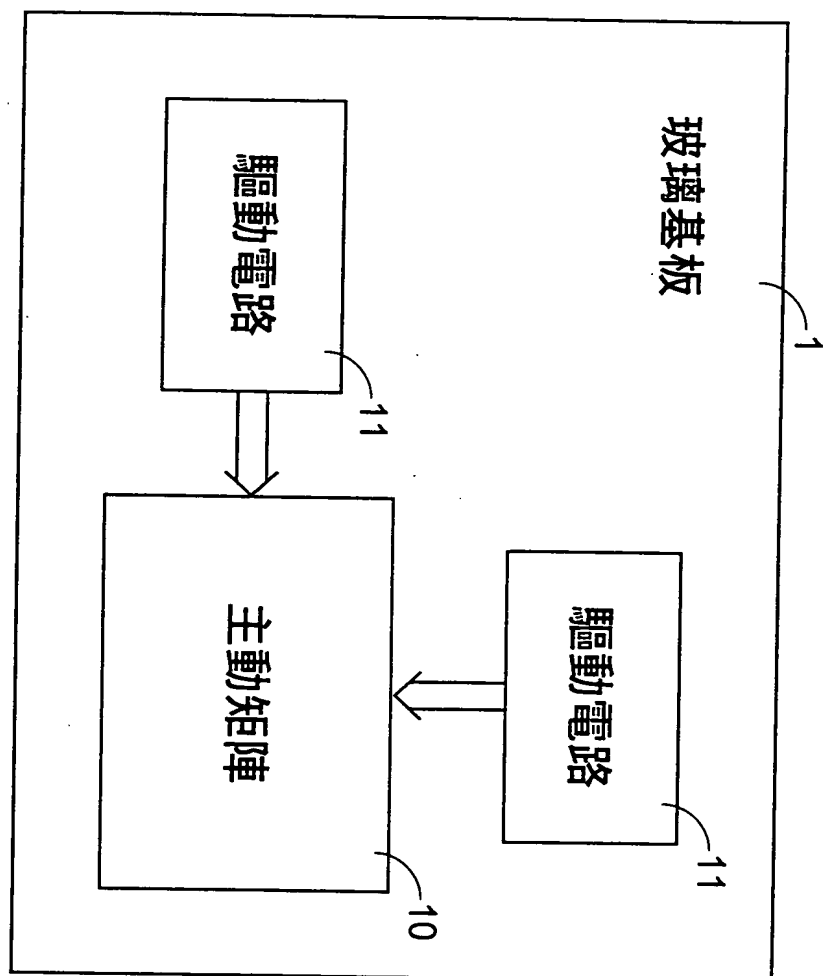
第 20/20 頁



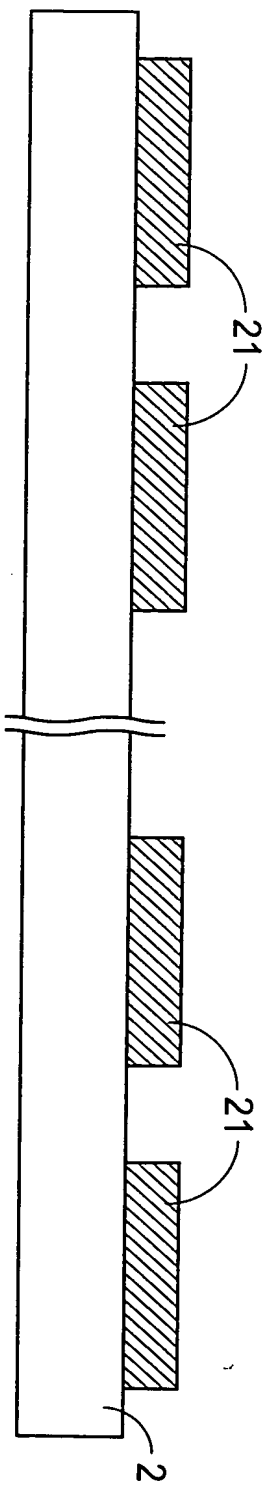


第一圖(a)

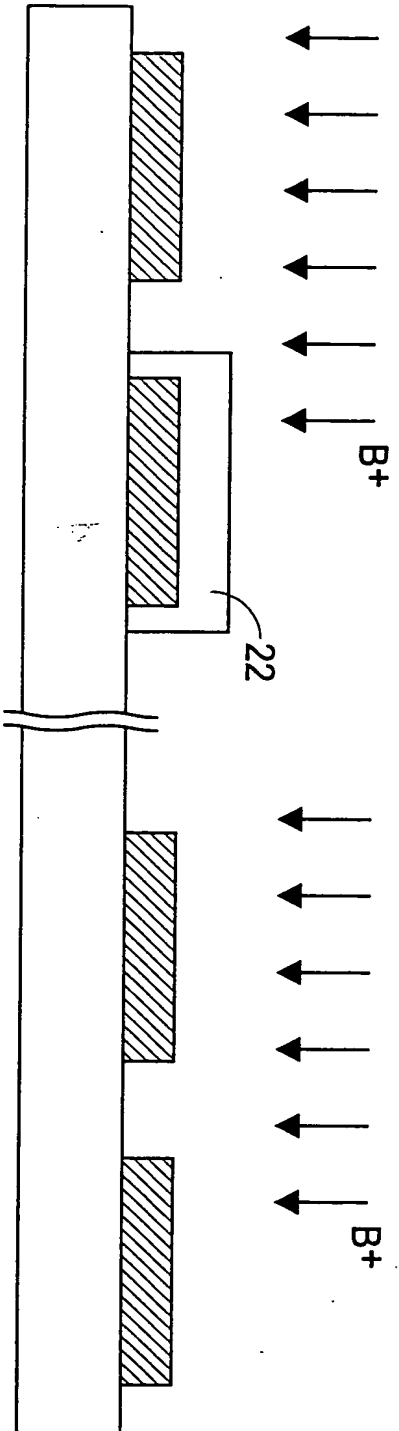




第一圖(b)

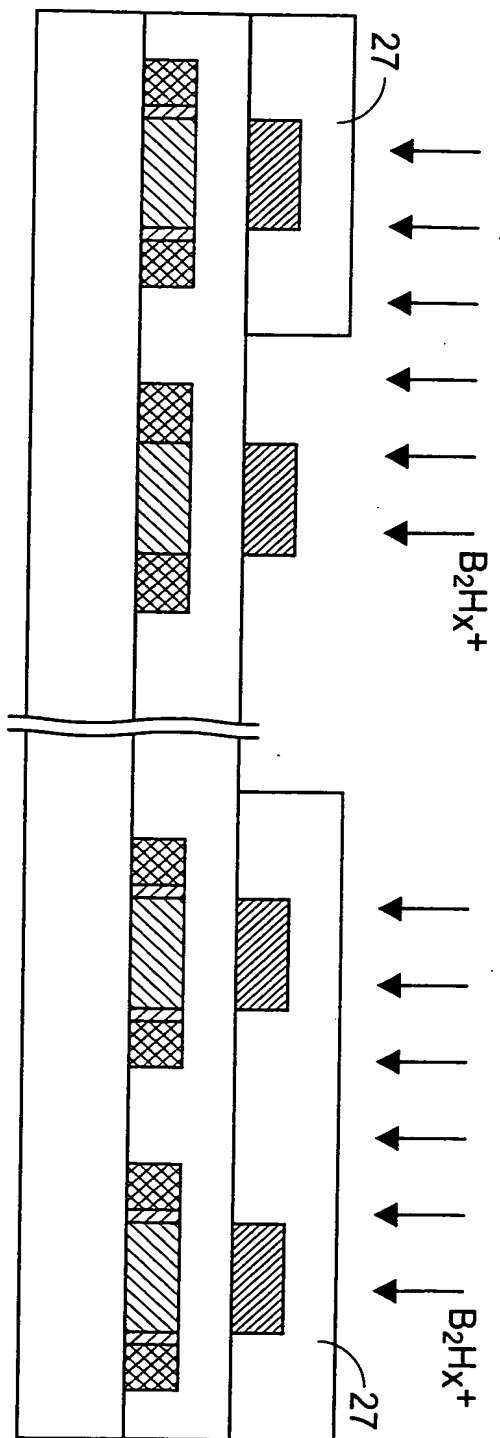


第二圖(a)

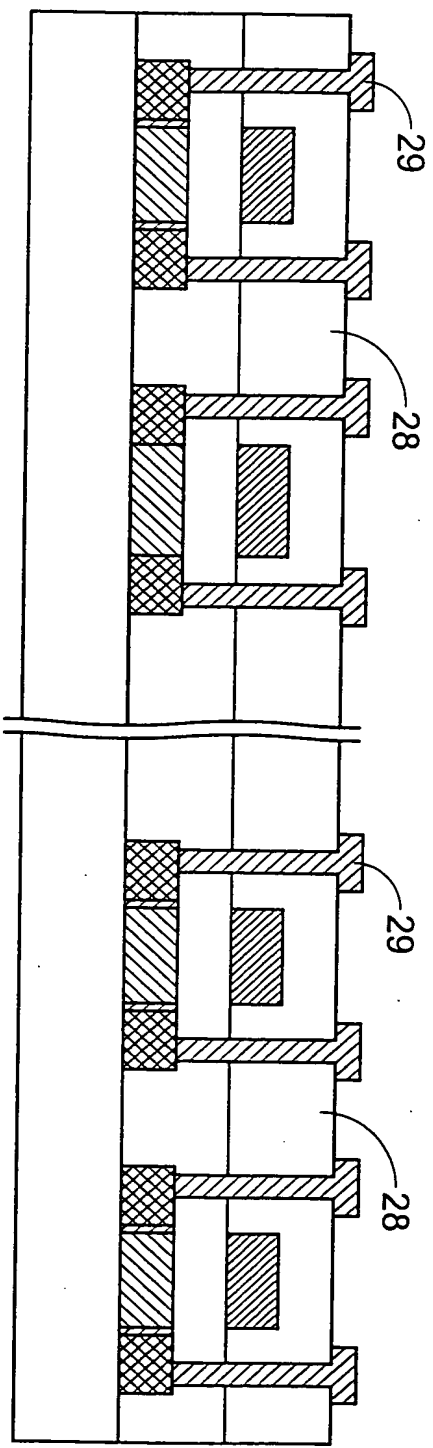


第二圖(b)





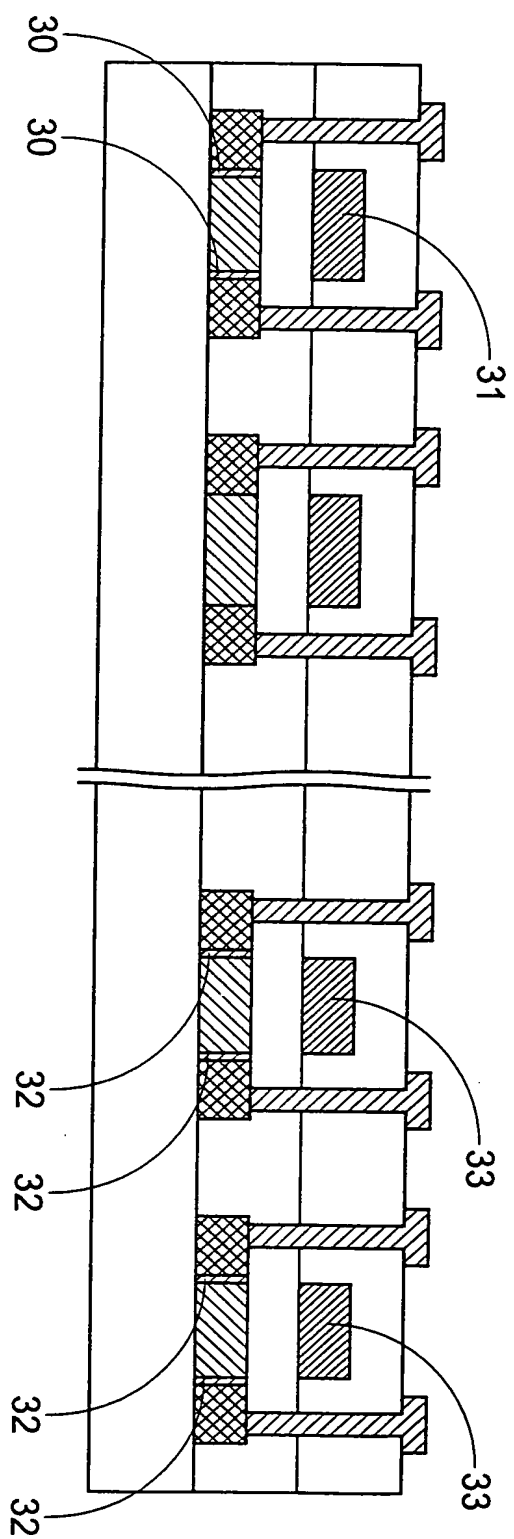
第二圖(e)



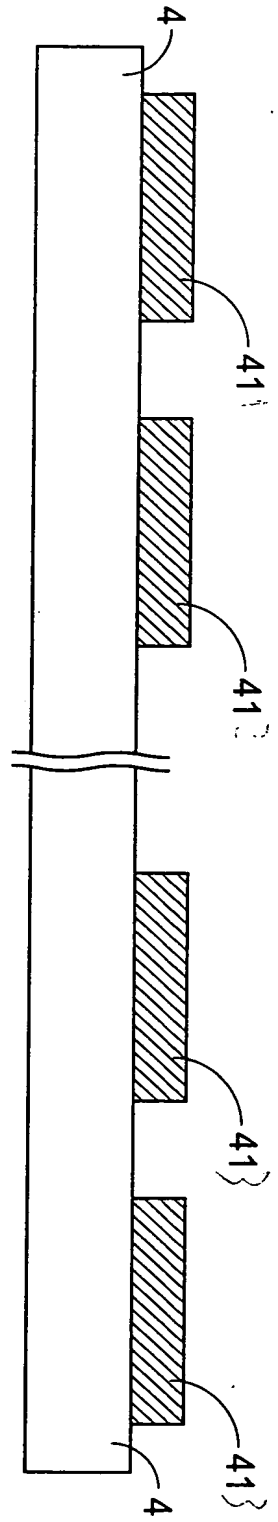
第二圖(f)

驅動電路區域

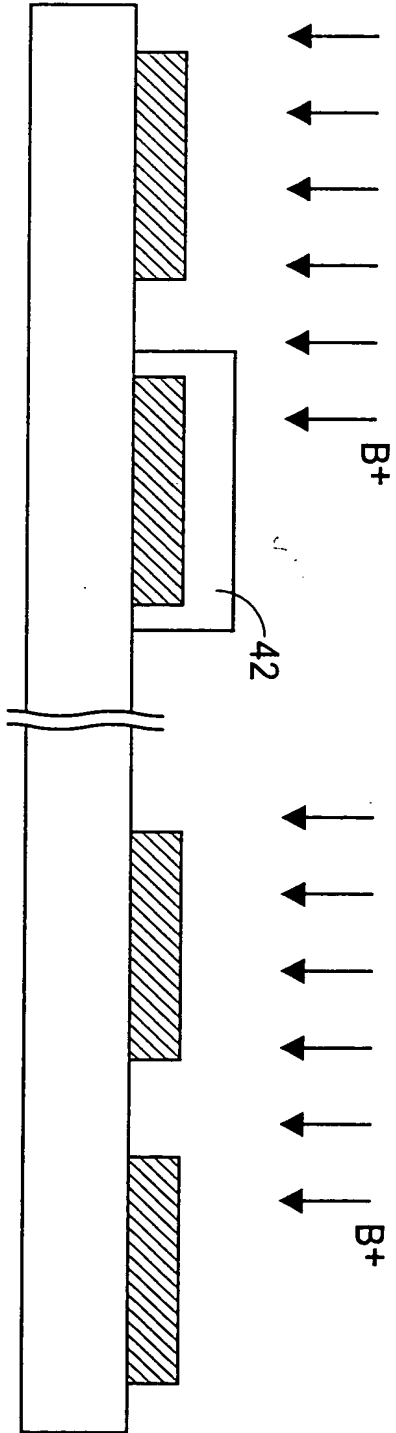
主動矩陣區域



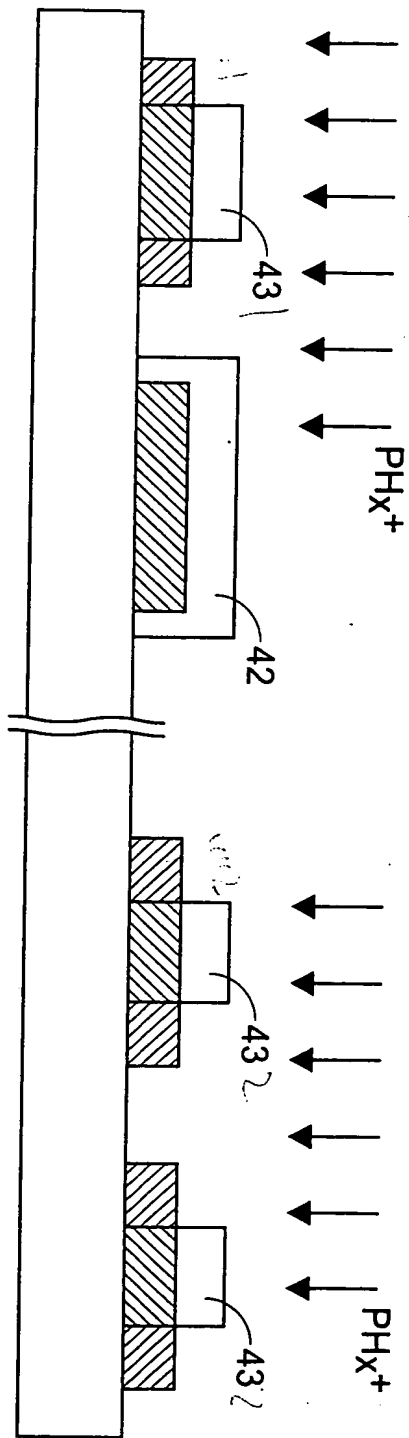
第三圖



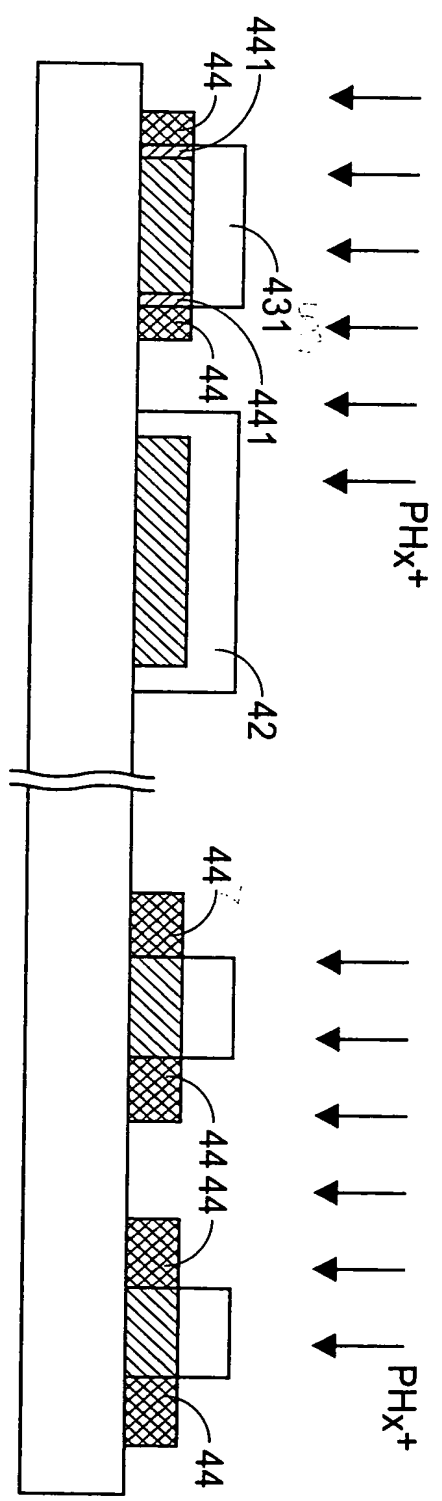
第四圖(a)



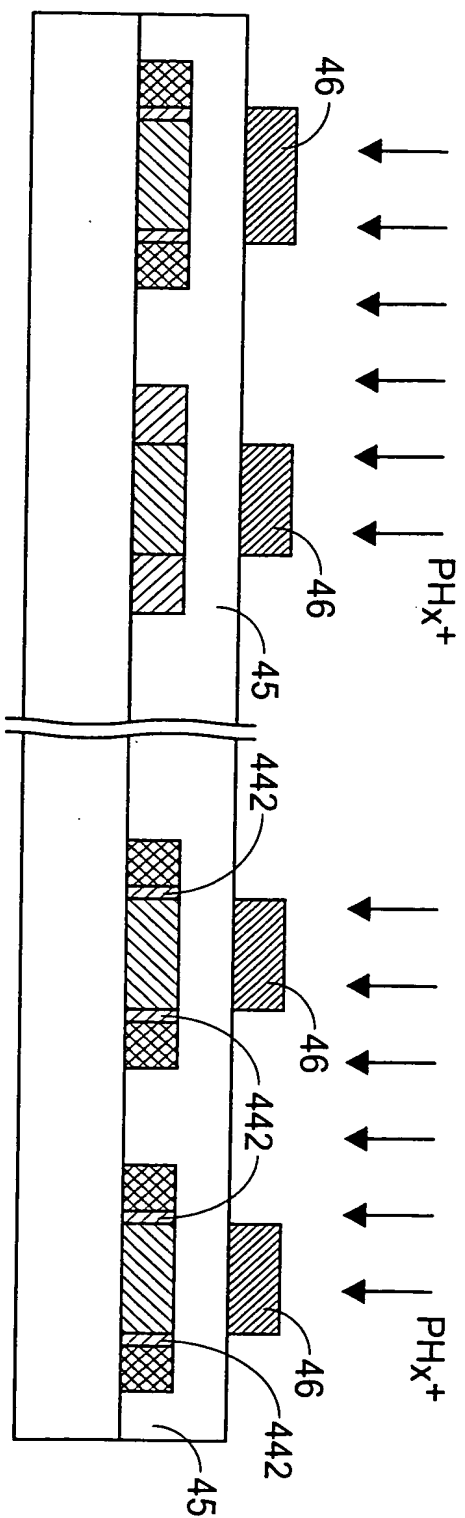
第四圖(b)



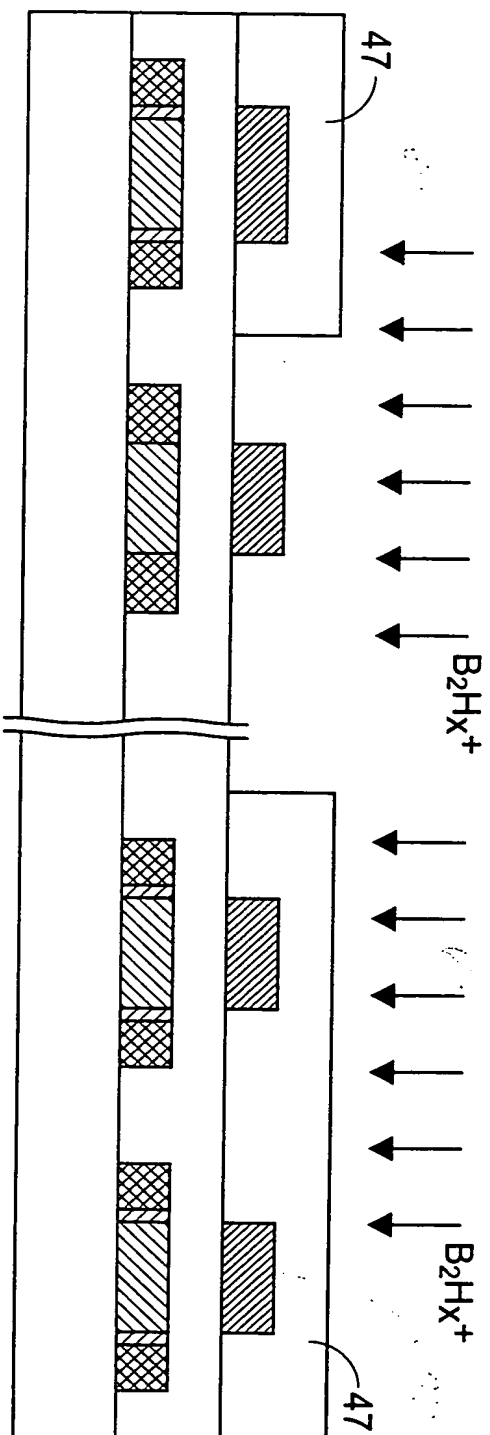
第四圖(c)



第四圖(d)

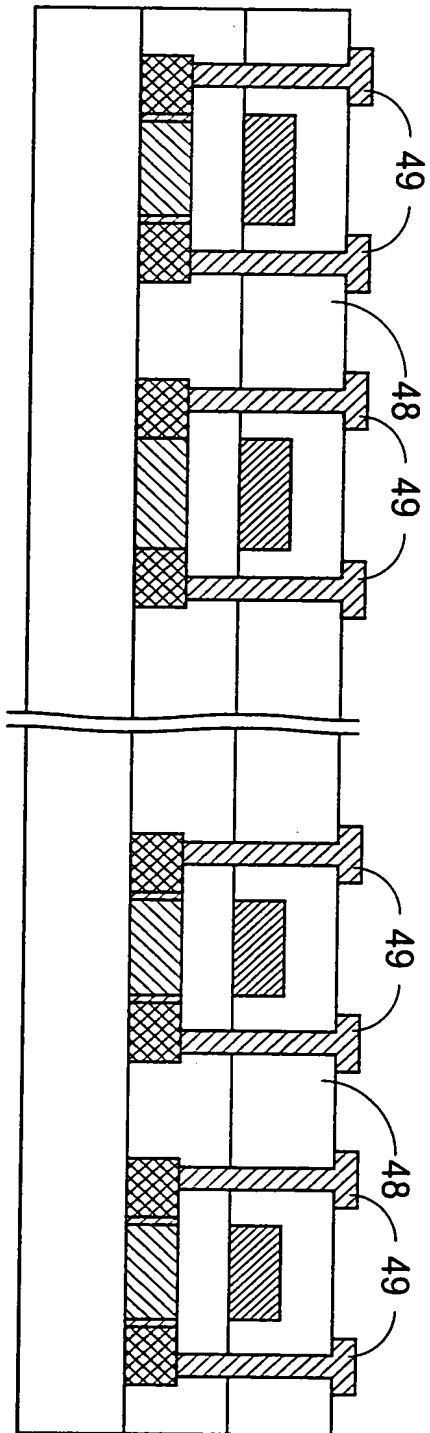


第四圖(e)

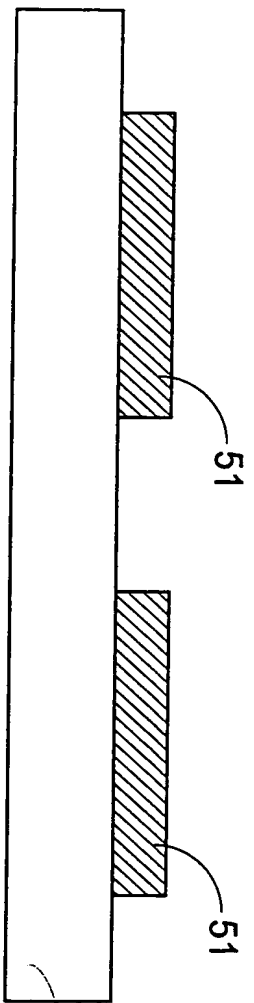


第四圖(f)

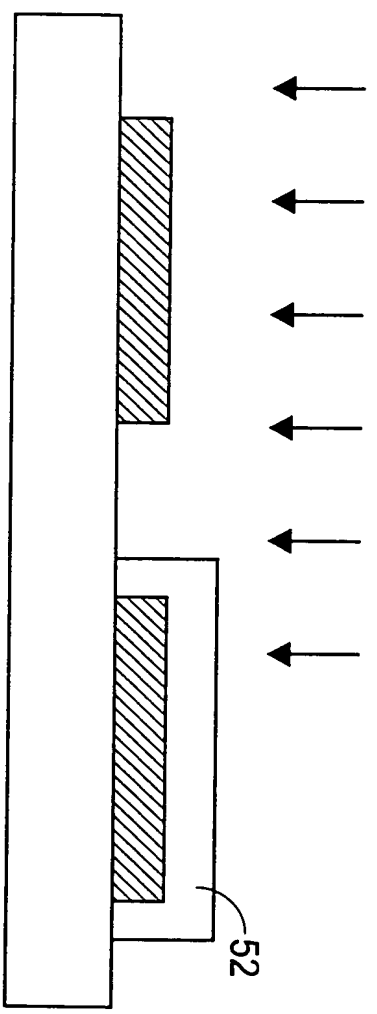




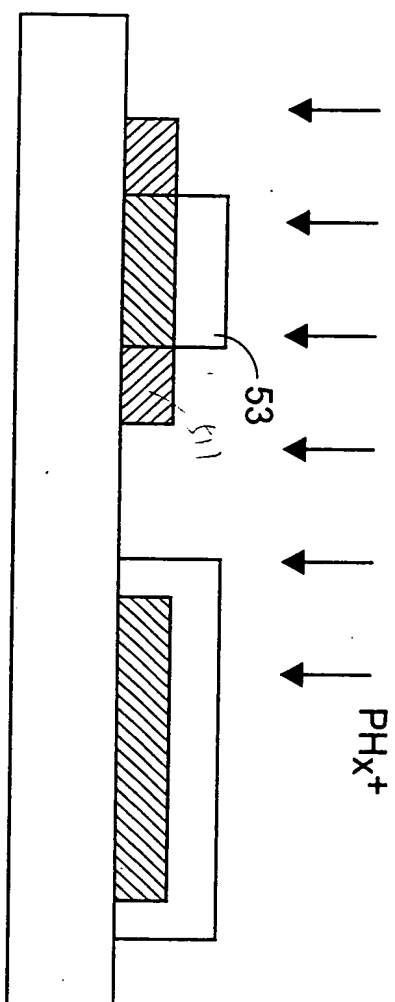
第四圖(g)



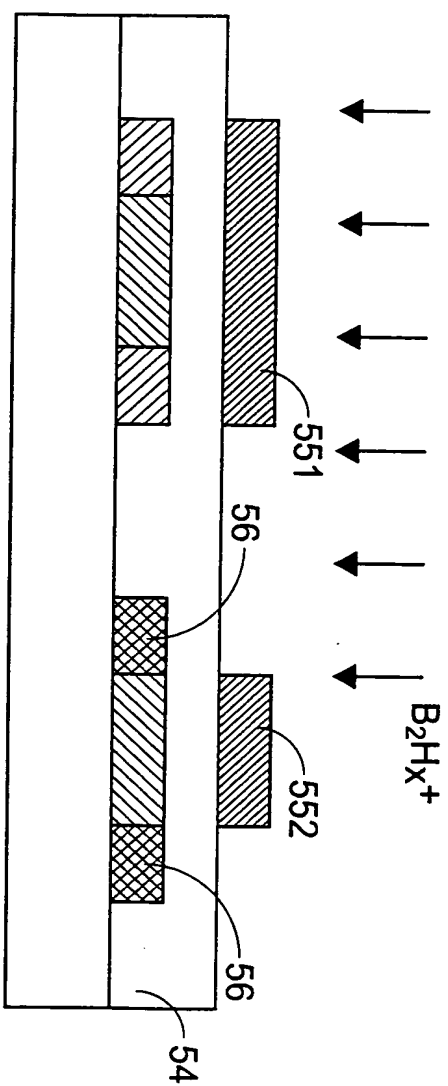
第五圖(a)



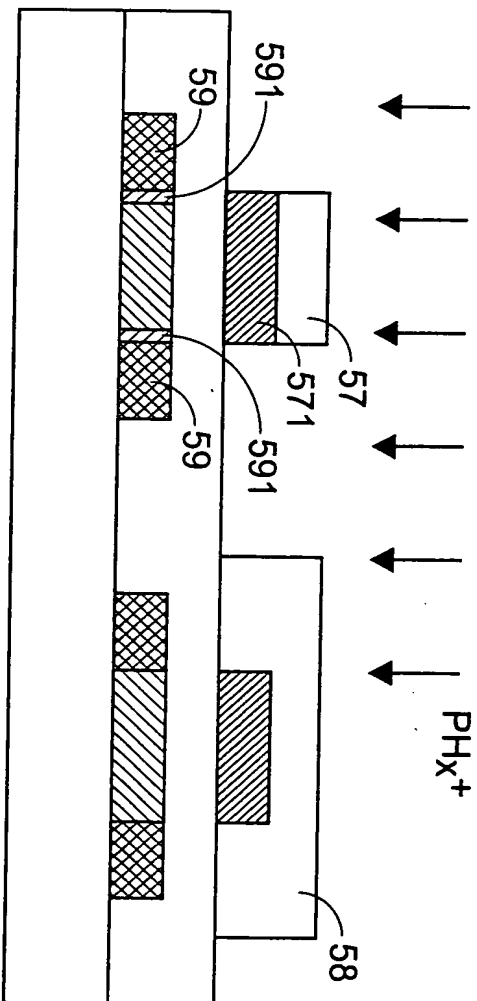
第五圖(b)



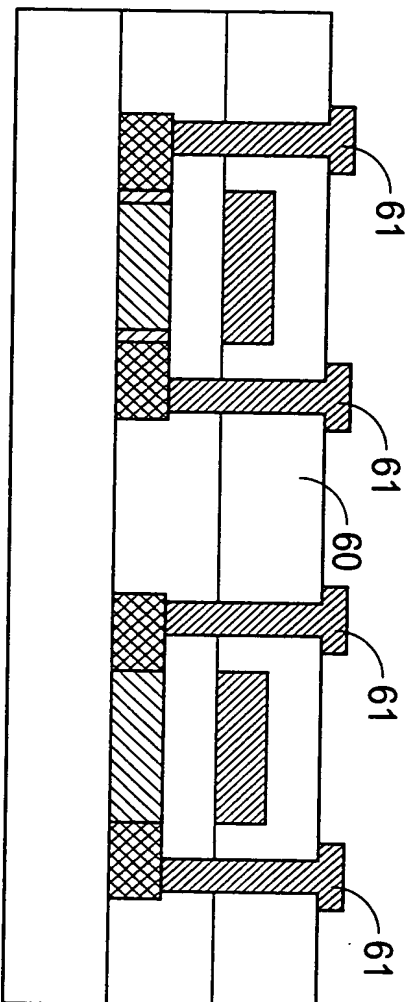
第五圖(c)



第五圖(d)



第五圖(e)



第五圖(f)